

日本国特許庁
JAPAN PATENT OFFICE

25. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

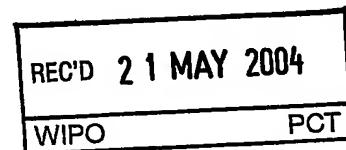
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月28日
Date of Application:

出願番号 特願2003-091787
Application Number:
[ST. 10/C] : [J.P 2003-091787]

出願人 キヤノン株式会社
Applicant(s):

Best Available Copy

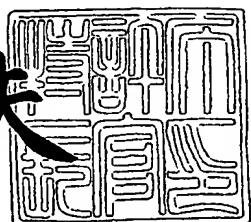


PRIORITY
DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 4月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 254001
【提出日】 平成15年 3月28日
【あて先】 特許庁長官 太田 信一郎 殿
【国際特許分類】 G02F 1/167
【発明の名称】 集積回路の動作方法
【請求項の数】 1
【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
【氏名】 平井 匡彦
【発明者】
【住所又は居所】 東京都小金井市中町2-13-5
【氏名】 澤田 喜久三
【特許出願人】
【識別番号】 000001007
【氏名又は名称】 キヤノン株式会社
【代表者】 御手洗 富士夫
【代理人】
【識別番号】 100069017
【弁理士】
【氏名又は名称】 渡辺 徳廣
【電話番号】 03-3918-6686
【手数料の表示】
【予納台帳番号】 015417
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703886

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路の動作方法

【特許請求の範囲】

【請求項1】 半導体集積回路内の電界効果型トランジスタにおいて、ソースおよびドレインに印加されるそれぞれの電圧を基準として、正の電圧と負の電圧をゲート電極に周期的に印加することを特徴とする集積回路の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路の動作方法に関する。

【0002】

【従来の技術】

従来、シリコン系材料を用いた集積回路がコンピュータ、通信、家電などあらゆる分野に利用されてきた。

【0003】

一方、近年、有機物半導体、ダイヤモンド、シリコンカーバイドなど、シリコン系にない特徴を持つ電子素子、集積回路の開発が急速に進んできた。この中でも、電界効果型トランジスタ（FET；Field Effect Transistor）や薄膜トランジスタ（TFT；Thin Film Transistor）が多くの場合用いられる。これらのトランジスタは、回路の集積化に適する反面、界面の不純物や欠陥に敏感で、動作が不安定になりやすい。特に、低温で形成する薄膜トランジスタは、ゲート絶縁膜と半導体との界面に欠陥が多く発生し、閾値電圧が変動しやすい傾向にある。

【0004】

【発明が解決しようとする課題】

本発明は、電界効果型トランジスタが有する閾値電圧が変動しやすい従来の課題を、集積回路の駆動方法を工夫することで解決しようとするものである。特に閾値電圧が変動しやすい、低温で形成する薄膜トランジスタを安定に駆動させる方法を提供する。

【0005】**【課題を解決するための手段】**

本発明の特徴は、半導体集積回路内の電界効果型トランジスタにおいて、ソースおよびドレインに印加されるそれぞれの電圧を基準として、正の電圧と負の電圧をゲート電極に周期的に印加することを特徴とする集積回路の動作方法を提供することにある。

【0006】

前記電界効果型トランジスタが薄膜トランジスタであってもよい。特に、低温で形成した薄膜トランジスタでは、ゲート絶縁膜と半導体との界面に欠陥が多く発生し、閾値電圧が変動しやすいため、本発明が安定したトランジスタの動作のために有効である。

【0007】

前記電界効果型トランジスタを構成する半導体が有機物を含んでもよい。有機物を含む半導体は、単結晶シリコン半導体に比べ、欠陥、不純物、トラップなどが多く、閾値電圧が変動しやすいため、本発明が安定したトランジスタの動作のために有効である。

【0008】

前記電界効果型トランジスタを構成する半導体がアモルファスシリコンを含んでもよい。

前記電界効果型トランジスタのゲート電極に、ソースおよびドレインに印加される電圧に対して、正の電圧と負の電圧パルスを交互に印加する動作方法も有効である。

【0009】

前記電界効果型トランジスタのゲート電極に、ソースおよびドレインに印加される電圧に対して、正の電圧（または負の電圧）パルスを連続印加し、つぎに負の電圧（または正の電圧）パルスを1回または複数回印加する動作方法も有効である。

【0010】

本発明による動作方法を利用すれば、閾値電圧が不安定なトランジスタを含む

集積回路の安定な動作が可能である。

また、前記動作方法を使用したICカードを安定動作させることも可能である。

。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

図1、図2に示す本実施形態の回路および動作方法について説明する。

【0012】

図1は、集積回路に用いられる基本回路の1つである、インバータについて、前記動作方法を適用する例を示したものである。本実施形態では、各トランジスタは、nチャネル型TFT (n-TFT) で構成され、前記n-TFTは、ゲートに、ソース・ドレインの電圧に比較して正電圧が印加されたときON状態となる。本実施形態では、ゲート電圧+5VでON状態となる。

【0013】

インバータは、負荷トランジスタ (TrL) とスイッチングトランジスタ (TrSW) によって構成され、入力電圧に対して反対の電圧を出力する (例えば、High (+5V) 入力のとき、Low (0V) を出力)。また、インバータの駆動のために、Tr1、Tr2を用いて信号を制御する。Tr1はインバータへの入力タイミングを制御し、Tr2はTrSWのゲート部分に-5Vの電圧を印加するタイミングを制御する。

【0014】

Tr1、Tr2には、一例として、図2に示すような制御信号CLK1、CLK2を入力する。図1におけるIN端子にはIN信号としてHigh (+5V) または、Low (0V) のどちらかが印加され、CLK1=+5V (High状態) のときTrSWのゲート電極にIN信号が入力される。

【0015】

一方、CLK2=+5V (High状態) のときTrSWのゲート電極に-5Vの電圧が印加されるが、CLK1とは制御信号の位相が異なるためTrSWのゲート電極にはIN信号と交互に-5Vが印加されることになる。この方法によ

って、 T_{rSW} のゲート電極に、+5Vと-5Vがある程度交互に印加され、閾値電圧の変動を防ぐことができる。IN信号の+5Vと-5Vの印加の重みが等しくなるよう、CLK2のHigh状態時間を例えばCLK1の半分としても良い。

【0016】

【実施例】

以下に実施例を挙げて本発明を具体的に説明する。

【0017】

実施例1

本発明の第1の実施形態について説明する。

図3に示すようなインバータをPentaceneを主体とする有機TFTを用いて試作した。この有機TFTは、pチャネル型(p-TFT)の特性を示し、ゲート絶縁膜がSi系デバイスに比べ厚いため、駆動電圧は-20Vとなる。

【0018】

まず、単体の有機TFTについて考察した。 V_d (ドレイン電圧) = -20Vとし、 V_g (ゲート電圧) を0~-20Vの間で変化させ、 I_d (ドレイン電流) の V_g 依存性を調べた。この際、あらかじめゲート電極、またはゲート電極・ドレイン電極に電圧ストレスを与えた。その結果、電圧ストレスの印加時間に依存して閾値電圧(V_{th})がマイナス側にシフトしてゆく現象が見られた。ただし、ゲート電極にのみストレス電圧を印加した場合に大きなシフトが見られ(図5(a))、ゲート電極・ドレイン電極に電圧ストレス(-20V)を印加した場合(図5(b))は無視できる程度だった。また、閾値がシフトしたTFTについて、逆の電圧ストレス(+20V)を印加すると閾値は元の値に回復した。

【0019】

この結果から、図3における負荷トランジスタ(T_{rL})の閾値シフトは無視できる水準だが、スイッチングトランジスタ(T_{rSW})は入力信号をかけ続けると閾値電圧が大きくシフトしてゆくことを示している。

図3に示すインバータには、図4に示すようなCLK1、CLK2信号を印加し、 T_{rSW} の V_{th} がシフトしないよう駆動させた。この結果、安定にインバ

ータは動作することが確かめられた。

【0020】

実施例2

本発明の第2の実施形態について説明する。

図7は、第1の実施形態と同様のp-TFTをもちいて、NAND論理回路を形成した例である。

図7に示すようなCLK1、CLK2信号を印加することにより、NAND論理回路が安定に動作することが判った。

【0021】

次に、本発明の集積回路の動作方法の好ましい実施態様を示す。

第1の実施態様は、前記電界効果型トランジスタが薄膜トランジスタであることを特徴とする。

第2の実施態様は、前記電界効果型トランジスタを構成する半導体が有機物を含むことを特徴とする。

第3の実施態様は、前記電界効果型トランジスタを構成する半導体がアモルファスシリコンを含むことを特徴とする。

【0022】

第4の実施態様は、前記電界効果型トランジスタのゲート電極に、ソースおよびドレインに印加される電圧に対して、正の電圧と負の電圧パルスを交互に印加することを特徴とする。

第5の実施態様は、前記電界効果型トランジスタのゲート電極に、ソースおよびドレインに印加される電圧に対して、正の電圧（または負の電圧）パルスを連続印加し、つぎに負の電圧（または正の電圧）パルスを1回または複数回印加することを特徴とする。

【0023】

第6の実施態様は、上記の集積回路の動作方法において、前記正の電圧と負の電圧の印加時間を変化または印加パルス回数を変化させ、前記正の電圧と負の電圧の重みを調節することを特徴とする。

第7の実施態様は、上記の集積回路の動作方法を使用した集積回路である。

第8の実施態様は、上記の集積回路の動作方法を使用したICカードである。

【0024】

【発明の効果】

本発明によると、閾値電圧が変動しやすい電界効果トランジスタであっても、簡単な方法で、安定な集積回路の動作を実現することができる。特に、有機トランジスタを用いた集積回路においては、効果が顕著である。

また、動作安定性の高いICカードを実現することができる。

【図面の簡単な説明】

【図1】

本発明の回路の概念を示す概略図である。

【図2】

本発明の回路の動作方法を示す図である。

【図3】

第1の実施形態を示す回路図である。

【図4】

第1の実施形態の回路の動作方法を示す図である。

【図5 (a)】

第1の実施形態のトランジスタの特性を示すグラフである。

【図5 (b)】

第1の実施形態のトランジスタの特性を示すグラフである。

【図6】

第2の実施形態を示す回路図である。

【図7】

第2の実施形態の回路の動作方法を示す図である。

【符号の説明】

T r L 負荷トランジスタ

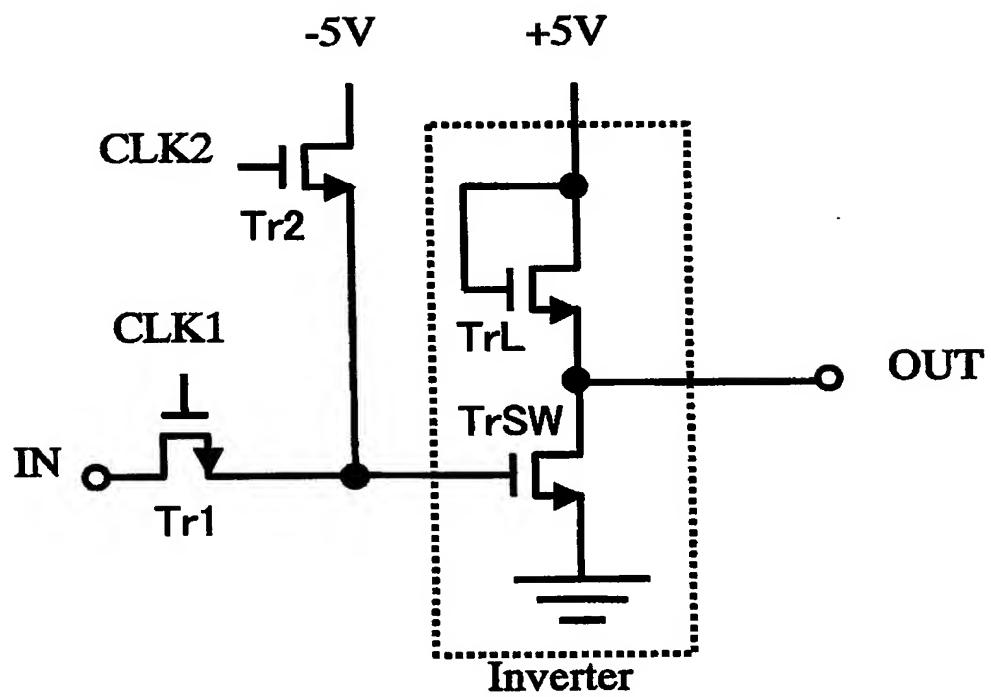
T r SW スイッチングトランジスタ

CLK1、CLK2 制御信号

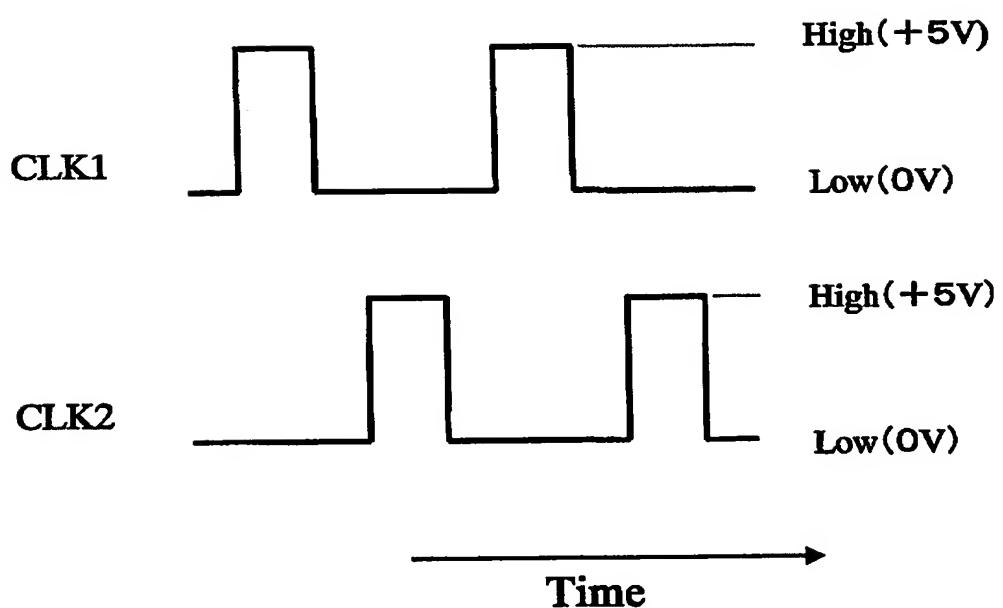
【書類名】

図面

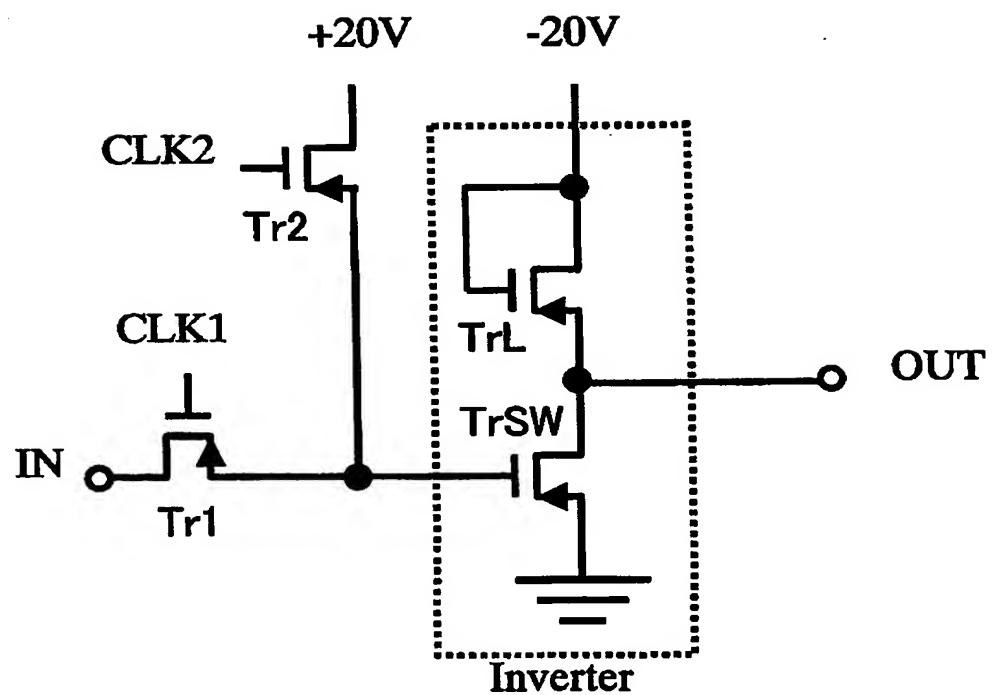
【図1】



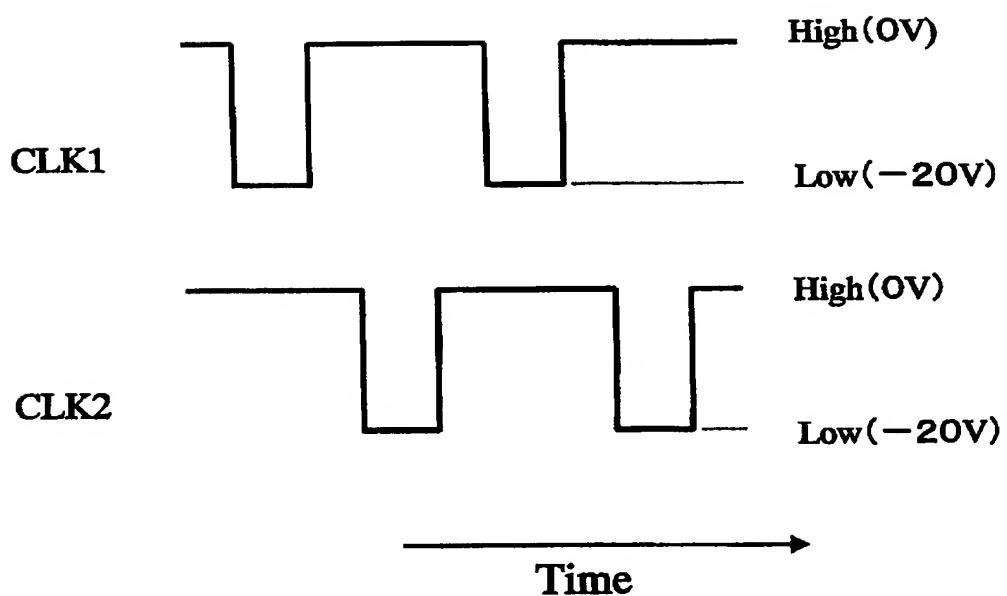
【図2】



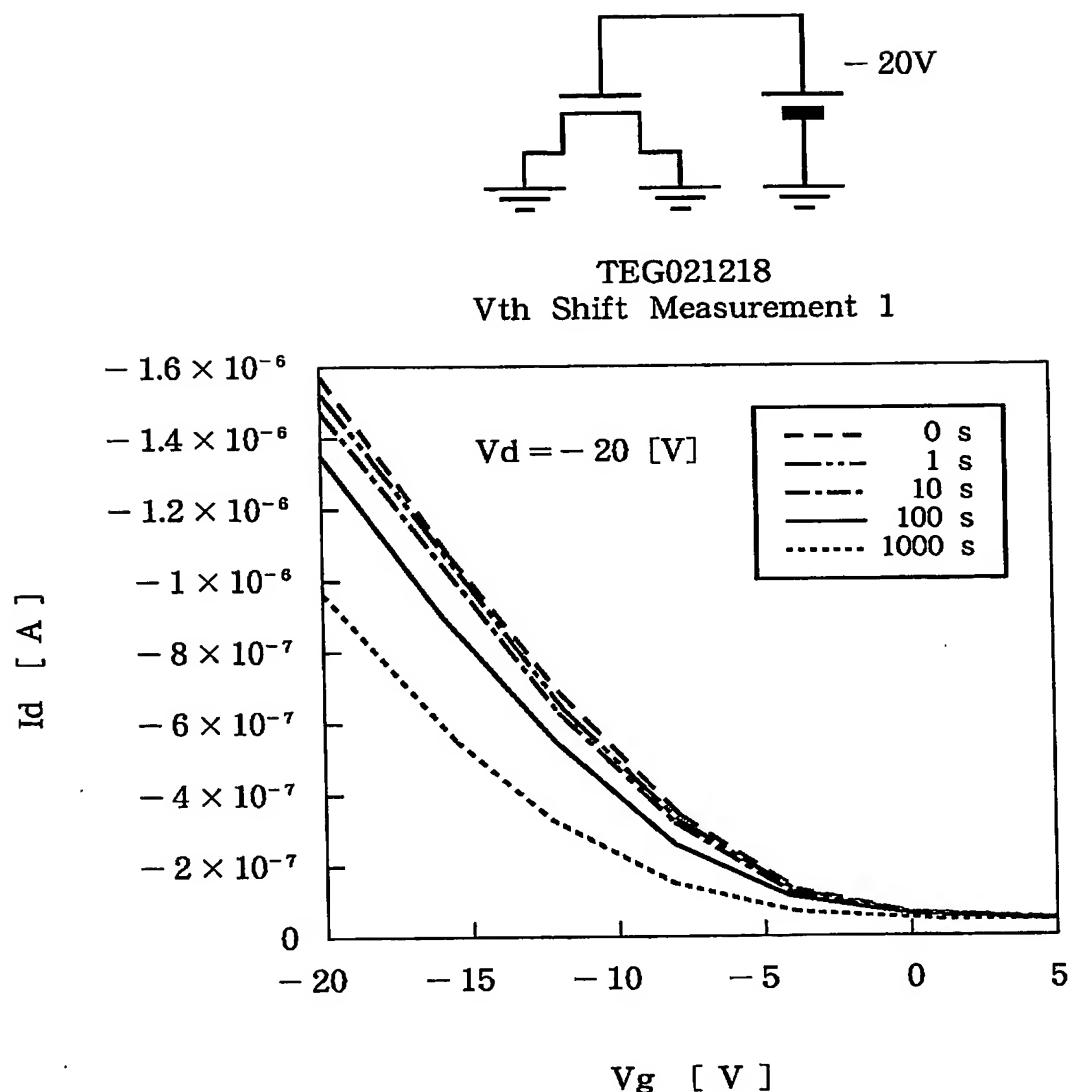
【図3】



【図4】

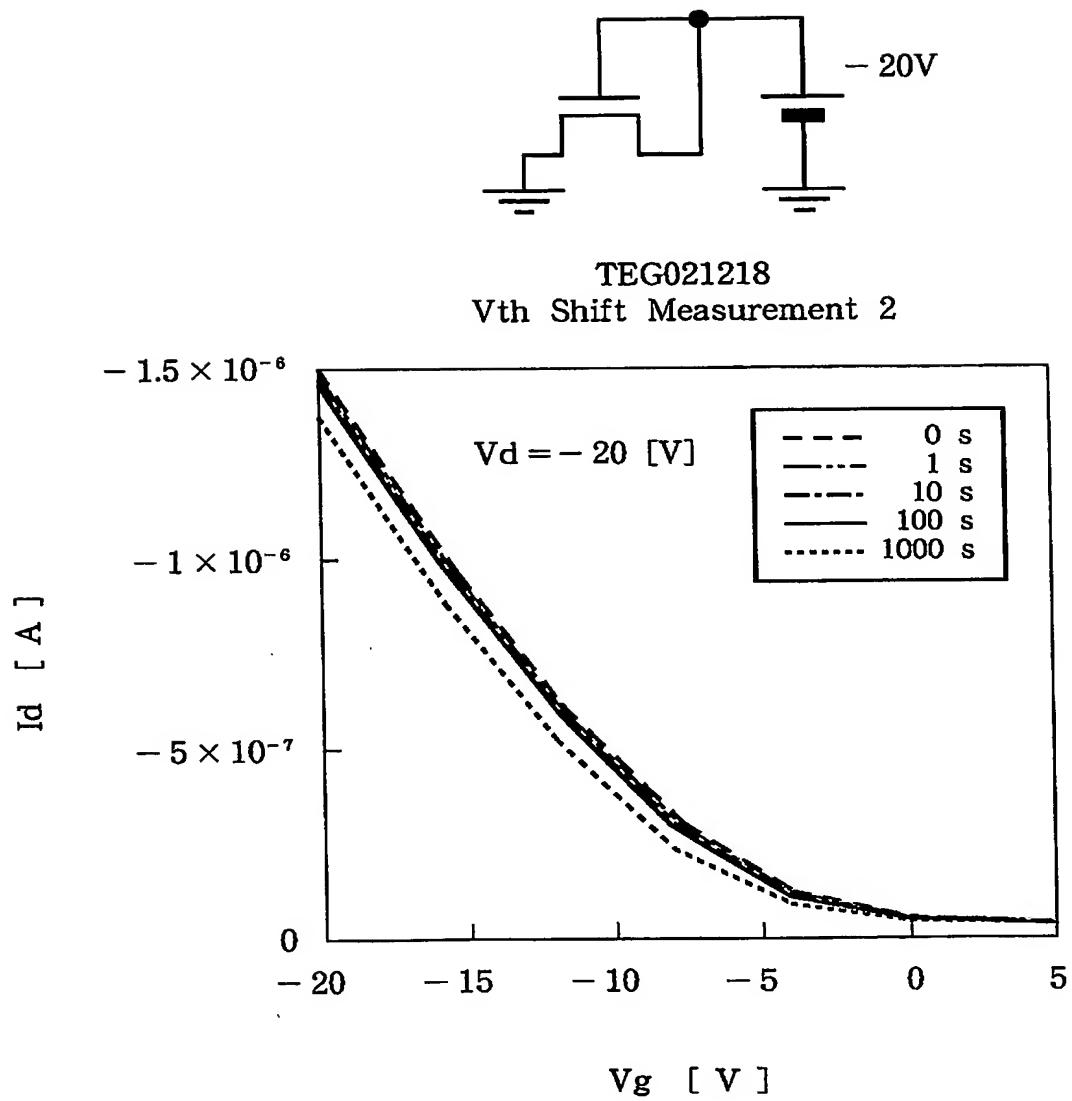


【図5 (a)】



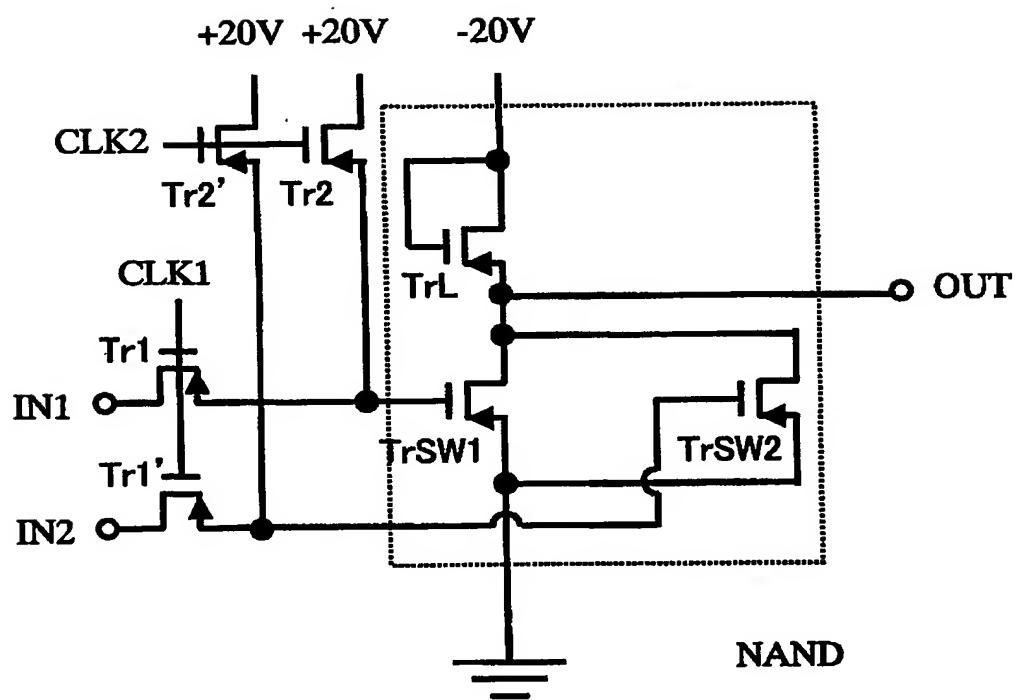
ΔV 100s - 0.5V
 1000s - 2.6V

【図5 (b)】

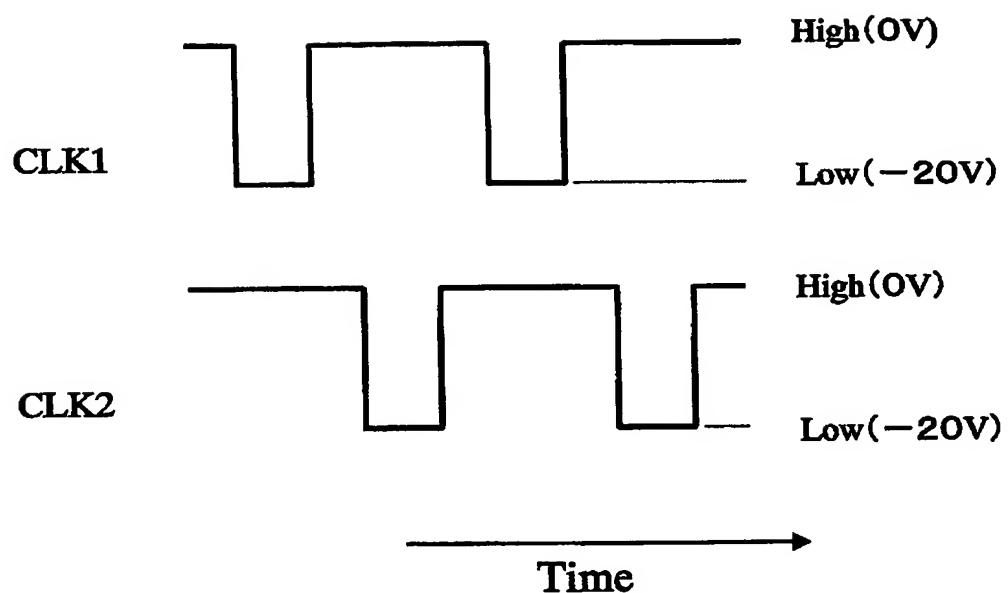


$\triangle V$ $100s - 0.3V$
 $1000s - 0.8V$

【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 閾値電圧が変動しやすい電界効果型トランジスタであっても、簡単な方法で、安定な集積回路の動作を実現する方法を提供する。

【解決手段】 半導体集積回路内の電界効果型トランジスタにおいて、ソースおよびドレインに印加されるそれぞれの電圧を基準として、正の電圧と負の電圧をゲート電極に周期的に印加する集積回路の動作方法。前記電界効果型トランジスタのゲート電極に、ソースおよびドレインに印加される電圧に対して、正の電圧（または負の電圧）パルスを連続印加し、つぎに負の電圧（または正の電圧）パルスを1回または複数回印加するのが好ましい。

【選択図】 なし

特願 2003-091787

出願人履歴情報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.